

特許協力条約

PCT

REG'D 11 AUG 2005

WIPO

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）

〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 KE32000-P0	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/JP2004/005046	国際出願日 (日.月.年) 07.04.2004	優先日 (日.月.年) 09.04.2003
国際特許分類 (IPC) Int.Cl. ⁷ H01L29/744, 29/74		
出願人 (氏名又は名称) 関西電力株式会社		

- この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。
法施行規則第57条（PCT36条）の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- この報告には次の附属物件も添付されている。
 - ☒ 附属書類は全部で 10 ページである。
 - ☒ 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）
 - ☐ 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
 - ☐ 電子媒体は全部で _____ (電子媒体の種類、数を示す)。
配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）

4. この国際予備審査報告は、次の内容を含む。

- ☒ 第I欄 国際予備審査報告の基礎
- ☐ 第II欄 優先権
- ☐ 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- ☐ 第IV欄 発明の単一性の欠如
- ☒ 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- ☐ 第VI欄 ある種の引用文献
- ☐ 第VII欄 国際出願の不備
- ☐ 第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 08.02.2005	国際予備審査報告を作成した日 29.07.2005		
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小野田 誠	4L	8427
		電話番号 03-3581-1101 内線 3498	

様式PCT/IPEA/409 (表紙) (2004年1月)

第 I 欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、_____ 語による翻訳文を基礎とした。

それは、次の目的で提出された翻訳文の言語である。

☐ PCT規則12.3及び23.1(b)にいう国際調査

☐ PCT規則12.4にいう国際公開

☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-33 _____ ページ、出願時に提出されたもの

第 _____ ページ*、_____ 付けで国際予備審査機関が受理したもの

第 _____ ページ*、_____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2-4, 9-13 _____ 項、出願時に提出されたもの

第 1, 5-8, 14-16 _____ 項*、PCT19条の規定に基づき補正されたもの

第 _____ 項*、_____ 付けで国際予備審査機関が受理したもの

第 _____ 項*、_____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-14 _____ ページ/図、出願時に提出されたもの

第 _____ ページ/図*、_____ 付けで国際予備審査機関が受理したもの

第 _____ ページ/図*、_____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、
それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 1-16	有
	請求の範囲	無
進歩性 (IS)	請求の範囲 1-16	有
	請求の範囲	無
産業上の利用可能性 (IA)	請求の範囲 1-16	有
	請求の範囲	無

2. 文献及び説明 (PCT規則 70.7)

国際調査報告において提示した文献1 (JP 8-250708 A)、文献2 (4-180678 A)、文献3 (62-147769 A)、文献4 (JP 62-147769 A) 及び文献5 (JP 57-181162 A) をもってしても、本願の請求の範囲に係る発明は、なお新規性・進歩性を有するものと認められる。

請求の範囲

1. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記メサ型の第2のエミッタ層を取り囲むメサの底面の下方において、前記第2のベース層の内部に形成した、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域、及び

前記低抵抗ゲート領域にゲートコンタクト領域を介して接する第3の電極

を有するワイドギャップ半導体のゲートターンオフサイリスタ。

2. 前記低抵抗ゲート領域の、前記第3の電極との接合部近傍の不純物濃度を前記低抵抗ゲート領域の不純物濃度より高くして低抵抗領域としたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

3. 前記低抵抗ゲート領域が、前記第2のエミッタ層と前記第2のベース層との接合近傍の第2のベース層内に設けられている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

4. 前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域を更に有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

5. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミ

PCT/JP2004/005046

日本国特許庁 08.2.2005

35/1

ツタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部近傍を含むメサの底部に、前記接合部の端部との間に前記第2のエミッタ層と同じ導電型の領域を介在させて前記第2のベース層と同じ導電型の低抵抗ゲート領域を設けたことを特徴とするワイドギャップ半導体のゲートターンオフサイリスタ。

6. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部から離れた位置に設けられた、前記第2のベース層と同じ導電型の低抵抗領域、

前記低抵抗領域に接する第3の電極、及び

前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域

を有するワイドギャップ半導体のゲートターンオフサイリスタ。

PCT/JP2004/005046

日本国特許庁 08.2.2005

36/1

7. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極を有し、

前記第2のベース層がメサ型に形成され、前記第2のベース層と同じ導電型の低抵抗ゲート領域が前記メサ型の第2のベース層を取り囲むように、前記第1のベース層内に形成されている、ワイドギャップ半導体のゲートターンオフサイリスタ。

8. (補正後) 前記低抵抗ゲート領域の内側に形成された、前記低抵抗ゲート領域と同じ導電型の少なくとも1つの低抵抗小領域を有する請求項7記載のワイドギャップ半導体のゲートターンオフサイリスタ。

9. 前記第1のエミッタ層がn型のカソードエミッタ層であり、前記第1のベース層がp型のベース層であり、前記第2のベース層がn型のベース層であり、前記第2

のエミッタ層が p 型のアノードエミッタ層であり、前記低抵抗ゲート領域が n 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、カソード電極、アノード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

10. 前記第 1 のエミッタ層が p 型のアノードエミッタ層であり、前記第 1 のベース層が n 型のベース層であり、前記第 2 のベース層が p 型のベース層であり、前記第 2 のエミッタ層が n 型のカソードエミッタ層であり、前記低抵抗ゲート領域が p 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、アノード電極、カソード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

11. ワイドギャップ半導体がシリコンカーバイド (SiC) である請求項 1 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

12. 前記低抵抗ゲート領域の不純物濃度が、前記ベース領域の不純物濃度の 3 倍以上であることを特徴とする請求項 1 又は 8 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

13. 一方の面に第 1 の電極を有する、n 型及び p 型

のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に、前記第2のエミッタ層の中央領域を除く他の領域で接しているコンタクト電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第2の電極

を有するワイドギャップ半導体のゲートターンオフサイリスタ。

14. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記第2のエミッタ層の上面中央領域に設けられた、前記第2のエミッタ層と同じ導電型で、かつ不純物濃度が前記第2のエミッタ層より低い高抵抗領域、

前記第2のエミッタ層及び前記高抵抗領域に接する第2の電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第3の電極

を有するワイドギャップ半導体のゲートターンオフサイリスタ。

15. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層の上面中央領域

PCT/JP2004/005046

日本国特許庁 08.2.2005

40

に設けられた、前記第2のエミッタ層と異なる導電型の領域及び

前記第2のエミッタ層及び前記領域に少なくともコンタクト電極を介して対向する第2の電極を有するゲートターンオフサイリスタ。

16. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の表面中央領域に設けられた、前記第2のベース層と同じ導電型で、不純物濃度が前記第2のベース層より高い高不純物領域、

前記第2のベース層及び前記高不純物領域の上に設けられたメサ型の、前記第1のエミッタ層と異なる導電型の第2のエミッタ層、及び

前記メサ型の第2のエミッタ層に少なくともコンタクト電極を介して接する第2の電極

を有するゲートターンオフサイリスタ。